

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-017914

(43)Date of publication of application : 19.01.1996

(51)Int.Cl.

H01L 21/768

(21)Application number : 06-148835

(71)Applicant : IWATE TOSHIBA ELECTRON KK  
TOSHIBA CORP

(22)Date of filing : 30.06.1994

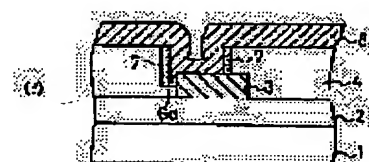
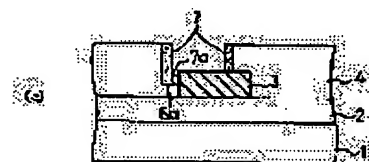
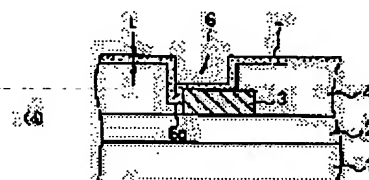
(72)Inventor : ISHIKAWA MICHIIRO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To surely cover a second wiring layer, by forming a first insulating film on a first wiring layer formed on a semiconductor substrate, forming a connection hole reaching the first wiring layer, in the first insulating film, depositing a second insulating film in the hole, exposing the first wiring layer by etching, and connecting the first wiring layer with the second wiring layer.

**CONSTITUTION:** An SiO<sub>2</sub> film 2 is deposited on a semiconductor substrate 1. After the whole surface of the SiO<sub>2</sub> film 2 is vapor-deposited, a first wiring layer 3 is formed on the SiO<sub>2</sub> film 2. A first insulating film 4, as an interlayer insulating film, is formed on the surface of the first wiring layer 3. A connection hole 6 reaching the first wiring layer 3 is formed in the first insulating film 4. A second insulating film 7 is deposited in the connection hole 6. The first wiring layer 3 is exposed in the connection hole 6 by etching the second insulating film 7. The first wiring layer 3 is connected with the second wiring layer 8 through the connection hole 6. Thereby the second wiring layer 8 can be surely covered, when misalignment is generated between the first wiring layer 3 and the connection hole 6.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The process which forms the 1st insulator layer on the front face of the 1st wiring layer prepared on the semi-conductor substrate, The process which forms in said 1st insulator layer the connection hole which reaches to said 1st wiring layer, The process which deposits the 2nd insulator layer on said connection hole, and the process which it etches [ process ] at said 2nd insulator layer, and exposes said 1st wiring layer to said connection hole, The manufacture approach of the semiconductor device characterized by having the process which forms said 1st wiring layer and the 2nd wiring layer connected through said connection hole.

[Claim 2] The thickness of said 2nd insulator layer is the manufacture approach of the semiconductor device according to claim 1 characterized by setting it as the one half of the maximum of the amount of doubling gaps of said 1st wiring layer and said connection hole.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture approach of a semiconductor device of having taken into consideration the doubling gap of a wiring layer connection hole especially, about the manufacture approach of a semiconductor device of having multilayer-interconnection structure.

[0002]

[Description of the Prior Art] In order that the multilayer-interconnection structure which multilayers wiring in an integrated circuit may give a degree of freedom to association between each component and may make the device of high density form, it is an important wiring technique.

[0003] Drawing 5 (a) and (b) are drawings showing the structure of a semiconductor device of having the conventional multilayer-interconnection structure, this drawing (a) is the top view, and this drawing (b) is an A-A' sectional view of this drawing (a).

[0004] As shown in drawing 5 (b), an insulating layer 102 is formed in the top face of the semi-

conductor substrate 101, and the 1st wiring layer 103 is formed in the front face of the insulating layer 102. Furthermore, the 2nd wiring layer 105 is formed so that it may intersect perpendicularly with said 1st wiring layer 103 through an interlayer insulation film 104, and the 1st and the 2nd wiring layer 103,105 are connected through the wiring layer connection hole 106.

[0005] In the semiconductor device of such a configuration, it faces forming the connection hole 106 for connecting the 2nd wiring layer 103,105 with the 1st, and the allowances width of face (length, width) r1 which took into consideration the doubling gap with the connection hole 106 to the 1st wiring layer 103 under said connection hole 106 is given so that the connection hole 106 may not separate from the 1st wiring layer 103.

[0006]

[Problem(s) to be Solved by the Invention] However, in the above-mentioned conventional semiconductor device, while detailed-ization of a component progressed, there was a problem that the above-mentioned allowances width of face r1 checked detailed-ization of a multilayer interconnection.

[0007] Then, since it corresponds to detailed-ization of a multilayer interconnection, it is possible to form 1st wiring layer 103a in the configuration where said allowances width of face r1 was removed as shown in drawing 6 (a). When it does in this way, compared with the wiring pitch P2 ( drawing 6 (b)) at the time of giving said allowances width of face r1, it is reduced clearly, and the wiring pitch P1 between adjoining 1st wiring layer 103a can make a multilayer interconnection detailed.

[0008] However, when the connection hole 106 separates from the 1st wiring layer 103a, as shown in ( drawing 7 (a)) and drawing 7 (b), trench 106a etched to the insulator layer 102 under it along the side-attachment-wall side of one of the two of 1st wiring layer 103a will be formed in the pars basilaris ossis occipitalis of the connection hole 106 by the width of face equivalent to the amount Z1 of gaps. The fault that the covering nature of the film which becomes the cause which gets worse the covering nature of the 2nd wiring layer 105 which this slot 106a deposits next, and causes an open circuit of the 2nd wiring layer 105 and the fall of dependability, and is deposited on the 2nd wiring layer 105 also gets worse arises.

[0009] Moreover, when the width of face of the connection hole 106 is larger than the width of face of 1st wiring layer 103a, as it is shown in drawing 8 (b) ( drawing 8 (a)) Trench 106a etched to the insulator layer 102 under it along with the both-sides wall surface of 1st wiring layer 103a and b will be formed in the pars basilaris ossis occipitalis of the connection hole 106 by the width of face equivalent to the amount Z2 of \*\*\*\* broths, and the same fault as the above-mentioned will arise.

[0010] It is what was made in order that this invention might solve the conventional trouble like \*\*\*\*. The purpose In the multilayer-interconnection structure where the 1st wiring layer and the 2nd wiring layer of this upper part are connected through a connection hole Even if it is the case where doubled with the 1st wiring layer and a wiring layer connection hole, and a gap arises, it is offering the manufacture approach of the semiconductor device which could cover the 2nd wiring layer good and raised the dependability of a multilayer interconnection. Moreover, the other purposes are offering the manufacture approach of the semiconductor device which can promote detailed-ization of a multilayer interconnection, securing the dependability of a multilayer interconnection.

[0011]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the description of this invention The process which forms the 1st insulator layer on the front face of the 1st wiring layer prepared on the semi-conductor substrate, The process which forms in said 1st insulator layer the connection hole which reaches to said 1st wiring layer, It is in having the process which deposits the 2nd insulator layer on said connection hole, the process which it etches [ process ] into said 2nd insulator layer, and exposes said 1st wiring layer to said connection hole, and the process which forms said 1st wiring layer and the 2nd wiring layer connected through said connection hole.

[0012] As for the thickness of said 2nd insulator layer, in above-mentioned invention, it is desirable to set it as the one half of the maximum of the amount of doubling gaps of said 1st wiring layer and said

connection hole.

[0013]

[Function] According to the configuration like \*\*\*, the 1st insulator layer is formed on the front face of the 1st wiring layer prepared on the semi-conductor substrate, and the connection hole which reaches to said 1st wiring layer further is formed in said 1st insulator layer. Although the trench etched to that substrate layer along the side-attachment-wall side of the 1st wiring layer is formed when the connection hole has separated from the 1st wiring layer at this time, this trench is embedded by this 2nd insulator layer by depositing the 2nd insulator layer on said connection hole after that.

[0014] Furthermore, by etching into said 2nd insulator layer and exposing said 1st wiring layer to said connection hole, after said trench has been embedded by the 2nd insulator layer, a connection hole is formed.

[0015] Even if this forms said 1st wiring layer and the 2nd wiring layer connected through said connection hole after that, since said trench does not exist, it becomes good [ the covering nature of the 2nd wiring layer in a connection hole ].

[0016] The thickness of said 2nd insulator layer moreover, by setting it as the one half of the maximum of the amount of doubling gaps of said 1st wiring layer and said connection hole Even if it is the case where doubled with the 1st wiring layer and connection hole, the gap arose, and said trench occurs, it can unite, the trench can be exactly embedded by the 2nd insulator layer regardless of the amount of gaps, and the covering nature of the 2nd wiring layer can be kept good in a connection hole.

[0017]

[Example] Hereafter, the example of this invention is explained based on a drawing. Drawing 1 (a) – (c) and drawing 2 (d) – (f) is process drawing showing the manufacture approach of the semiconductor device concerning the 1st example of this invention.

[0018] First, as shown in drawing 1 (a), it is SiO<sub>2</sub> as an interlayer insulation film to the top face of the semi-conductor substrate 1. The film (silicon oxide) 2 is deposited by the thickness of 10000Å with a CVD method, then it is the CVD-SiO<sub>2</sub>. After carrying out vacuum deposition of the aluminum (aluminum) the whole surface on the film 2, desired pattern NINGU is given and the 1st wiring layer 3 with a width of face of 1 micrometer is formed. Furthermore, CVD-SiO<sub>2</sub> After depositing the film by the thickness of 20000Å, flattening processing is performed, and an interlayer insulation film (the 1st insulator layer) 4 is formed. At this time, the interlayer insulation film 4 on the 1st wiring layer 3 became 10000Å.

[0019] Next, as shown in drawing 1 (b), in order to puncture the wiring layer connection hole (for example, 1-micrometer angle) 6 for connecting said 1st wiring layer 3 and the 2nd wiring layer 8 formed in behind, the register pattern 5 is formed in the top face of an interlayer insulation film 4. At this time, the 0.2 micrometers of the amounts Z1 of pattern doubling gaps of said 1st wiring layer 3 and this resist pattern 5 occurred to 0.3micrometer specification.

[0020] Then, as shown in drawing 1 (c), said interlayer insulation film 4 is etched by using said resist pattern 5 as a mask using a reactive-ion-etching method, and the connection hole 6 which connects the 1st wiring layer 3 and the 2nd wiring layer 8 formed in behind is formed. The amount of etching at this time is made into 1.5 times of the thickness of the interlayer insulation film 4 on the 1st wiring layer 3. Therefore, trench 6a with a depth of 1.5 micrometers occurred along the side-attachment-wall side of one of the two of the 1st wiring layer 3 by 0.2-micrometer width of face (the amount Z1 of pattern doubling gaps) from which it separated from said 1st wiring layer 3.

[0021] Furthermore, CVD-SiO<sub>2</sub> which made Thickness L one half (0.15 micrometers = 1500Å) of the pattern doubling gap specification (0.30 micrometers) of the 1st wiring layer 3 and said connection hole 6 as shown in drawing 2 (d) after exfoliating a resist pattern 5 The film (the 2nd insulator layer) 7 is deposited. Consequently, said slot 6a is CVD-SiO<sub>2</sub>. It is embedded with the film 7.

[0022] CVD-SiO<sub>2</sub> which carried out thickness more than of one half of that width of face Z1 at least in order to embed this slot 6a It is good to deposit the film 7. However, the width of face of said slot 6a is CVD-SiO<sub>2</sub> for embedding slot 6a in this example, since it changes with the amount Z1 of doubling gaps

of the 1st wiring layer 3 and the connection hole 6. The thickness L of the film 7 carried out to the maximum of the amount of pattern doubling gaps, i.e., the one half of doubling gap specification.  
[0023] Next, CVD-SiO<sub>2</sub> which is embedding said slot 6a as shown in drawing 2 (e) CVD-SiO<sub>2</sub> deposited on the connection hole 6 of the top face of the 1st wiring layer 3, maintaining the configuration of the film 7 Reactive ion etching is used so that the film 7 may be removed, and it is said CVD-SiO<sub>2</sub>. It etches into the film 7 and the 1st wiring layer 3 is exposed to said connection hole 6.

[0024] It is the amount of etching at this time Said CVD-SiO<sub>2</sub> CVD-SiO<sub>2</sub> which is embedding slot 6a although carried out by 1.5 times the thickness of the film 7 0.075 micrometers (750Å) film 7a just needs to become low from the exposure of the 1st wiring layer 3. For this reason, the covering nature of the 2nd wiring layer 8 of the back in the connection hole 6 becomes good.

[0025] And if vacuum deposition of the aluminum (aluminum) is carried out by the thickness of 10000Å, desired patterning is performed and the 2nd wiring layer 8 is formed as shown in drawing 2 (f), the semiconductor device to which said the 1st wiring layer 3 and 2nd wiring layer 8 are connected with the connection hole 6 will be obtained.

[0026] Thus, trench 6a which according to this example is produced when the connection hole 6 separates from the 1st wiring layer 3 is CVD-SiO<sub>2</sub>. Since it is embedded with the film 7, the covering nature of the 2nd wiring layer 8 in the connection hole 6 is improvable.

[0027] Drawing 3 (a) and (b) are process drawings showing the manufacture approach of the semiconductor device concerning the 2nd example of this invention, and the same sign is given to above-mentioned drawing 1 and drawing 2, and a common element.

[0028] In case this example etches an interlayer insulation film 4 by using said resist pattern 5 as a mask in the process shown in drawing 1 (c) and forms the connection hole 6, it writes the amount of etching as 1.5 or more times of the thickness of an interlayer insulation film 4, and shows the example which trench 6b which reaches in the interlayer insulation film 2 which is the substrate layer of the 1st wiring layer 3 generated.

[0029] Thus, even if it is the case where trench 6b which reaches in an interlayer insulation film 2 occurs, as it is shown in drawing 3 (b) by the same manufacture approach as the 1st example of the above, it is CVD-SiO<sub>2</sub>. Since said trench 6b is embedded with the film 7, the covering nature of the 2nd wiring layer 8 in the connection hole 6 is improvable.

[0030] Drawing 4 (a) and (b) are process drawings showing the manufacture approach of the semiconductor device concerning the 3rd example of this invention, and the same sign is given to above-mentioned drawing 1 and drawing 2, and a common element.

[0031] This example explains the case where the width of face of the connection hole 6 is larger than the width of face of the 1st wiring layer 3. In such a case, as shown in drawing 4 (a), the trenches 6a and 6c etched along with the both-sides wall surface of the 1st wiring layer 3 generate each by the width of face which disturbs and is equivalent to an amount Z2.

[0032] Even if it is the case where such trenches 6a and 6c occur, as it is shown in drawing 4 (b) by the same manufacture approach as the 1st example of the above, it is CVD-SiO<sub>2</sub>. Since said trenches 6a and 6c can be embedded with the film 7, the covering nature of the 2nd wiring layer 8 in the connection hole 6 is improvable similarly.

[0033]

[Effect of the Invention] As explained to the detail above, according to this invention, the 1st insulator layer is formed on the front face of the 1st wiring layer prepared on the semi-conductor substrate. Form in said 1st insulator layer the connection hole which reaches to said 1st wiring layer, and the 2nd insulator layer is deposited on said connection hole. Since it etches into said 2nd insulator layer, said 1st wiring layer is exposed to said connection hole and said 1st wiring layer and the 2nd wiring layer connected were formed through said connection hole In multilayer-interconnection structure, even if it is the case where doubled with the 1st wiring layer and connection hole, and a gap arises, the covering nature of the 2nd wiring layer in a connection hole can be kept good. It becomes possible to promote

detailed-ization of a multilayer interconnection, it becoming unnecessary to give allowances width of face to the 1st wiring layer, and securing the dependability of a multilayer interconnection by this. [0034] Moreover, in the above-mentioned invention, by setting it as the one half of the maximum of the amount of doubling gaps of said 1st wiring layer and said connection hole, the thickness of said 2nd insulator layer can be united and can keep good the covering nature of the 2nd wiring layer in a connection hole regardless of the amount of gaps.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is process drawing showing the manufacture approach of the semiconductor device concerning the 1st example (the 1).

[Drawing 2] It is process drawing showing the manufacture approach of the semiconductor device concerning the 1st example (the 2).

[Drawing 3] It is process drawing showing the manufacture approach of the semiconductor device concerning the 2nd example.

[Drawing 4] It is process drawing showing the manufacture approach of the semiconductor device concerning the 3rd example.

[Drawing 5] It is drawing showing the structure of a semiconductor device of having the conventional multilayer-interconnection structure.

[Drawing 6] It is drawing showing the configuration of the 1st conventional wiring layer.

[Drawing 7] It is an explanatory view for explaining the conventional technical problem.

[Drawing 8] It is an explanatory view for explaining the conventional technical problem.

[Description of Notations]

1 Semi-conductor Substrate

2 CVD-SiO<sub>2</sub> Film

3 1st Wiring Layer

4 Interlayer Insulation Film (1st Insulator Layer)

5 Register Pattern

6 Connection Hole

6a, 6b, 6c Slot

7 CVD-SiO<sub>2</sub> Film (2nd Insulator Layer)

8 2nd Wiring Layer

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-17914

(43) 公開日 平成8年(1996)1月19日

(51) Int.Cl.<sup>8</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/768

H 0 1 L 21/ 90

B

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号

特願平6-148835

(22) 出願日

平成6年(1994)6月30日

(71) 出願人

000158150

岩手東芝エレクトロニクス株式会社

岩手県北上市北工業団地6番6号

(71) 出願人

000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者

石川 通弘

岩手県北上市北工業団地6番6号 岩手東

芝エレクトロニクス株式会社内

(74) 代理人

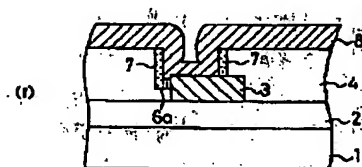
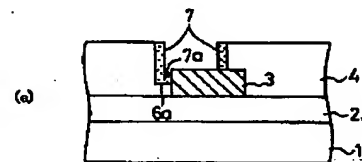
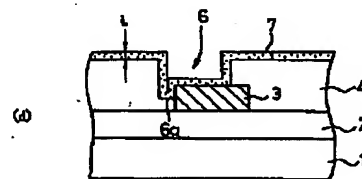
弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 多層配線構造において、第1の配線層と配線層間接続孔とに合せずれが生じた場合であっても、その上部に良好に第2の配線層を被覆することができ、多層配線の信頼性を確保しつつ多層配線の微細化を促進することができる半導体装置の製造方法を提供することである。

【構成】 半導体基板上に設けられた第1の配線層の表面上に第1の絶縁膜を形成し、前記第1の配線層まで達する接続孔を前記第1の絶縁膜に形成し、前記接続孔に第2の絶縁膜を堆積し、前記第2の絶縁膜にエッチングを施して前記接続孔に前記第1の配線層を露出させ、前記接続孔を通して前記第1の配線層と接続される第2の配線層を形成するようにしたものである。





(2)

## 【特許請求の範囲】

【請求項1】 半導体基板上に設けられた第1の配線層の表面上に第1の絶縁膜を形成する工程と、前記第1の配線層まで達する接続孔を前記第1の絶縁膜に形成する工程と、前記接続孔に第2の絶縁膜を堆積する工程と、前記第2の絶縁膜にエッチングを施して前記接続孔に前記第1の配線層を露出させる工程と、前記接続孔を通して前記第1の配線層と接続される第2の配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記第2の絶縁膜の膜厚は、前記第1の配線層と前記接続孔との合わせずれ量の最大値の半分に設定したことを特徴とする請求項1記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、多層配線構造を有する半導体装置の製造方法に関し、特に配線層間接続孔の合せずれを考慮した半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 集積回路における配線を多層化する多層配線構造は、各素子間の結合に自由度を与え、高密度のデバイスを形成させるために重要な配線技術である。

【0003】 図5(a)、(b)は、従来の多層配線構造を有する半導体装置の構造を示す図であり、同図(a)はその平面図、同図(b)は同図(a)のA-A'断面図である。

【0004】 図5(b)に示すように、半導体基板101の上面には絶縁層102が形成され、その絶縁層102の表面に第1の配線層103が形成されている。さらに、層間絶縁膜104を介して前記第1の配線層103と直交するように第2の配線層105が形成され、第1と第2の配線層103、105は配線層間接続孔106を通して接続されている。

【0005】 このような構成の半導体装置においては、第1と第2の配線層103、105を接続するための接続孔106を形成するに際し、第1の配線層103から接続孔106が外れないように、前記接続孔106下の第1配線層103に、接続孔106との合せずれを考慮した余裕幅(縦、横)  $r_1$  を持たせている。

## 【0006】

【発明が解決しようとする課題】 しかしながら、上記従来の半導体装置では、素子の微細化が進む中で、上述の余裕幅  $r_1$  が多層配線の微細化を阻害するという問題があった。

【0007】 そこで、多層配線の微細化に対応するため、図6(a)に示すように前記余裕幅  $r_1$  を除去した形状で第1の配線層103aを形成することが考えられる。このようにした場合、隣接する第1配線層103a

2

間の配線ピッチ  $P_1$  は、前記余裕幅  $r_1$  を持たせた場合の配線ピッチ  $P_2$  (図6(b)) に比べて明らかに縮小され、多層配線を微細化することができる。

【0008】 ところが、第1の配線層103aから接続孔106が外れた場合は(図7(a))、図7(b)に示すように、第1の配線層103aの片方の側壁面に沿ってまたはその下の絶縁膜102までエッチングされた深い溝106aが、ずれ量  $Z_1$  に相当する幅で接続孔106の底部に形成されてしまう。この溝106aがこの後に堆積される第2の配線層105の被覆性を悪化させる原因となり、第2の配線層105の断線や信頼性の低下を招き、また第2の配線層105の上に堆積される膜の被覆性も悪化するという不具合が生ずる。

【0009】 また、第1の配線層103aの幅よりも接続孔106の幅が大きい場合においても(図8

(a))、図8(b)に示すように、第1の配線層103aの両側壁面に沿ってその下の絶縁膜102までエッチングされた深い溝106a、bが、はみだし量  $Z_2$  に相当する幅で接続孔106の底部に形成され、前述と同様の不具合が生じてしまう。

【0010】 本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、第1の配線層とこの上部の第2の配線層とが接続孔を通して接続される多層配線構造において、第1の配線層と配線層間接続孔とに合せずれが生じた場合であっても、良好に第2の配線層を被覆することができ、多層配線の信頼性を向上させた半導体装置の製造方法を提供することである。またその他の目的は、多層配線の信頼性を確保しつつ多層配線の微細化を促進することができる半導体装置の製造方法を提供することである。

## 【0011】

【課題を解決するための手段】 上記目的を達成するために、本発明の特徴は、半導体基板上に設けられた第1の配線層の表面上に第1の絶縁膜を形成する工程と、前記第1の配線層まで達する接続孔を前記第1の絶縁膜に形成する工程と、前記接続孔に第2の絶縁膜を堆積する工程と、前記第2の絶縁膜にエッチングを施して前記接続孔に前記第1の配線層を露出させる工程と、前記接続孔を通して前記第1の配線層と接続される第2の配線層を形成する工程とを有することにある。

【0012】 上述の発明において、前記第2の絶縁膜の膜厚は、前記第1の配線層と前記接続孔との合わせずれ量の最大値の半分に設定することが望ましい。

## 【0013】

【作用】 上述の如き構成によれば、半導体基板上に設けられた第1の配線層の表面上に第1の絶縁膜を形成し、さらに前記第1の配線層まで達する接続孔を前記第1の絶縁膜に形成する。この時、第1の配線層から接続孔が外れていたときには、第1の配線層の側壁面に沿ってまたはその下地層までエッチングされた深い溝が形成され



(3)

3

るが、その後、前記接続孔に第2の絶縁膜を堆積することにより、この深い溝が該第2の絶縁膜により埋め込まれる。

【0014】さらに、前記第2の絶縁膜にエッチングを施して前記接続孔に前記第1の配線層を露出させることにより、前記深い溝が第2の絶縁膜によって埋め込まれた状態で接続孔が形成される。

【0015】これにより、その後、前記接続孔を通して前記第1の配線層と接続される第2の配線層を形成しても、前記深い溝は存在しないため、接続孔における第2の配線層の被覆性が良好となる。

【0016】また、前記第2の絶縁膜の膜厚は、前記第1の配線層と前記接続孔との合わせずれ量の最大値の半分に設定することにより、第1の配線層と接続孔とに合わせずれが生じて前記深い溝が発生した場合であっても、あわせずれ量に関係なくその深い溝を第2の絶縁膜によつて的確に埋め込むことができ、接続孔において第2の配線層の被覆性を良好に保つことができる。

【0017】

【実施例】以下、本発明の実施例を図面に基つて説明する。図1(a)～(c)及び図2(d)～(f)は、本発明の第1の実施例に係る半導体装置の製造方法を示す工程図である。

【0018】まず、図1(a)に示すように、半導体基板1の上面に、層間絶縁膜としてのSiO<sub>2</sub>膜(シリコン酸化膜)2をCVD法によって例えば10000Åの厚さで堆積し、続いて、そのCVD-SiO<sub>2</sub>膜2上の全面にアルミニウム(Al)を真空蒸着した後、所望のパターンニングを施して幅1μmの第1の配線層3を形成する。さらに、CVD-SiO<sub>2</sub>膜を20000Åの厚さで堆積した後に平坦化处理を施し、層間絶縁膜(第1の絶縁膜)4を形成する。このとき第1の配線層3上の層間絶縁膜4は10000Åとなった。

【0019】次に、図1(b)に示すように、前記第1の配線層3と、後に形成する第2の配線層8とを接続するための配線層間接続孔(例えば1μm角)6を開孔するため、層間絶縁膜4の上面にレジスタパターン5を形成する。このとき、前記第1の配線層3とこのレジスタパターン5とのパターン合せずれ量Z1が、0.3μm規格に対して0.2μm発生した。

【0020】その後、図1(c)に示すように、前記レジスタパターン5をマスクとして、反応性イオンエッチング法を用いて前記層間絶縁膜4をエッチングし、第1の配線層3と後に形成する第2の配線層8とを接続する接続孔6を形成する。このときのエッチング量は、例えば第1の配線層3上の層間絶縁膜4の膜厚の1.5倍とする。そのため、前記第1の配線層3から外れた0.2μm幅(パターン合せずれ量Z1)で1.5μmの深さを持つ深い溝6aが第1の配線層3の片方の側壁面に沿って発生した。

4

【0021】さらに、レジスタパターン5を剥離した後、図2(d)に示すように、第1の配線層3と前記接続孔6とのパターン合せずれ規格(0.30μm)の半分(0.15μm=1500Å)を膜厚LとしたCVD-SiO<sub>2</sub>膜(第2の絶縁膜)7を堆積する。その結果、前記溝6aはCVD-SiO<sub>2</sub>膜7によって埋め込まれる。

【0022】この溝6aを埋め込むためには、少なくとも、その幅Z1の半分以上を膜厚したCVD-SiO<sub>2</sub>膜7を堆積するとよい。しかし、前記溝6aの幅は、第1の配線層3と接続孔6との合せずれ量Z1によって変動するため、本実施例においては、溝6aを埋め込むためのCVD-SiO<sub>2</sub>膜7の膜厚Lは、パターン合せずれ量の最大値、すなわち合わせずれ規格の半分とした。

【0023】次に、図2(e)に示すように、前記溝6aを埋め込んでいるCVD-SiO<sub>2</sub>膜7の形状を保ちつつ、第1の配線層3の上面の接続孔6に堆積しているCVD-SiO<sub>2</sub>膜7を除去するように、反応性イオンエッチングを用いて前記CVD-SiO<sub>2</sub>膜7にエッチングを施し、前記接続孔6に第1の配線層3を露出させる。

【0024】このときのエッチング量を前記CVD-SiO<sub>2</sub>膜7の膜厚の1.5倍としたが、溝6aを埋め込んでいるCVD-SiO<sub>2</sub>膜7aは、第1の配線層3の露出面より0.075μm(750Å)低くなるだけで済む。このため、接続孔6における後の第2の配線層8の被覆性は良好となる。

【0025】そして、図2(f)に示すように、アルミニウム(Al)を10000Åの厚さで真空蒸着し所望のパターンニングを施して第2の配線層8を形成すれば、前記第1の配線層3と第2の配線層8とが接続孔6で接続される半導体装置が得られる。

【0026】このように本実施例によれば、第1の配線層3から接続孔6が外れたときに生ずる深い溝6aがCVD-SiO<sub>2</sub>膜7によって埋め込まれるので、接続孔6における第2の配線層8の被覆性を改善することができる。

【0027】図3(a)、(b)は、本発明の第2の実施例に係る半導体装置の製造方法を示す工程図であり、上記図1及び図2と共通の要素には同一の符号が付されている。

【0028】本実施例は、図1(c)に示す工程において、前記レジスタパターン5をマスクとして層間絶縁膜4をエッチングして接続孔6を形成する際、エッチング量を層間絶縁膜4の膜厚の1.5倍以上としたため、第1の配線層3の下地層である層間絶縁膜2内まで達する深い溝6bが発生した例を示すものである。

【0029】このように層間絶縁膜2内まで達する深い溝6bが発生した場合であっても、上記第1実施例と同様の製造方法により、図3(b)に示すようにCVD-

(4)

5

SiO<sub>2</sub> 膜7によって前記深い溝6bが埋め込まれるため、接続孔6における第2の配線層8の被覆性を改善することができる。

【0030】図4(a)、(b)は、本発明の第3の実施例に係る半導体装置の製造方法を示す工程図であり、上記図1及び図2と共通の要素には同一の符号が付されている。

【0031】本実施例は、第1の配線層3の幅よりも接続孔6の幅が大きい場合について説明するものである。このような場合では、図4(a)に示すように、第1の配線層3の両側壁面に沿ってエッチングされた深い溝6a、6cが、それぞれはみだし量Z2に相当する幅で発生する。

【0032】こうした深い溝6a、6cが発生した場合であっても、上記第1実施例と同様の製造方法により、図4(b)に示すようにCVD-SiO<sub>2</sub> 膜7によって前記深い溝6a、6cを埋め込むことができるため、同様に接続孔6における第2の配線層8の被覆性を改善することができる。

【0033】

【発明の効果】以上詳細に説明したように本発明によれば、半導体基板上に設けられた第1の配線層の表面上に第1の絶縁膜を形成し、前記第1の配線層まで達する接続孔を前記第1の絶縁膜に形成し、前記接続孔に第2の絶縁膜を堆積し、前記第2の絶縁膜にエッチングを施して前記接続孔に前記第1の配線層を露出させ、前記接続孔を通して前記第1の配線層と接続される第2の配線層を形成するようにしたので、多層配線構造において、第1の配線層と接続孔とに合せずれが生じた場合であっても、接続孔における第2の配線層の被覆性を良好に保つことができる。これにより、第1の配線層に余裕幅を持

6

たせる必要がなくなり、多層配線の信頼性を確保しつつ多層配線の微細化を促進することが可能となる。

【0034】また、上記発明において、前記第2の絶縁膜の膜厚は、前記第1の配線層と前記接続孔との合わせずれ量の最大値の半分に設定することにより、あわせずれ量に関係なく接続孔における第2の配線層の被覆性を良好に保つことができる。

【図面の簡単な説明】

【図1】第1の実施例に係る半導体装置の製造方法を示す工程図である(その1)。

【図2】第1の実施例に係る半導体装置の製造方法を示す工程図である(その2)。

【図3】第2の実施例に係る半導体装置の製造方法を示す工程図である。

【図4】第3の実施例に係る半導体装置の製造方法を示す工程図である。

【図5】従来の多層配線構造を有する半導体装置の構造を示す図である。

【図6】従来の第1の配線層の形状を示す図である。

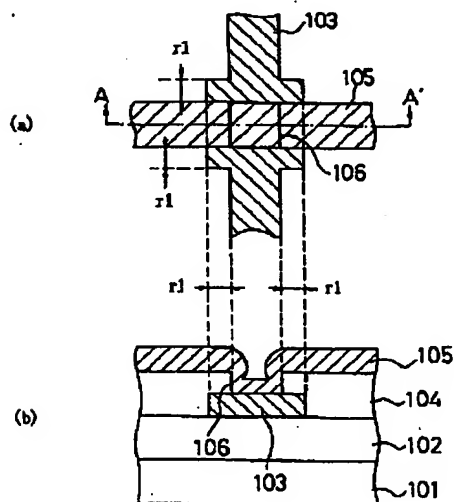
【図7】従来の課題を説明するための説明図である。

【図8】従来の課題を説明するための説明図である。

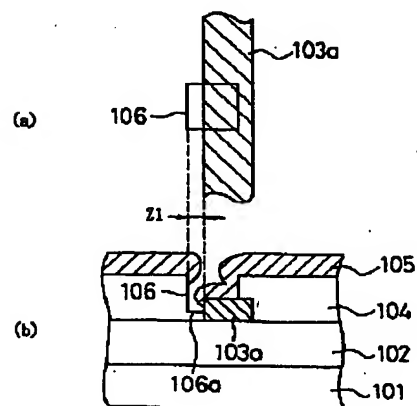
【符号の説明】

- 1 半導体基板
- 2 CVD-SiO<sub>2</sub> 膜
- 3 第1の配線層
- 4 層間絶縁膜(第1の絶縁膜)
- 5 レジスタパターン
- 6 接続孔
- 6a、6b、6c 溝
- 7 CVD-SiO<sub>2</sub> 膜(第2の絶縁膜)
- 8 第2の配線層

【図5】

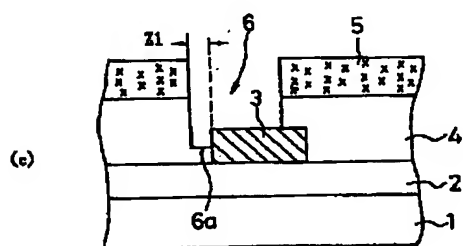
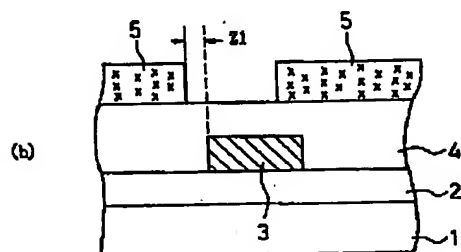
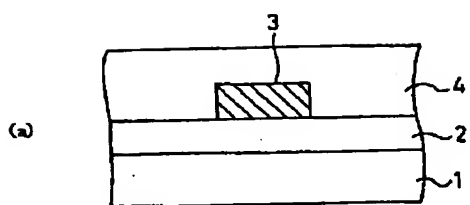


【図7】

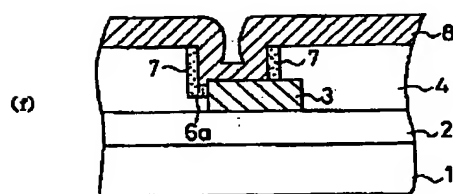
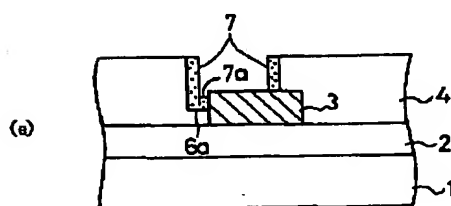
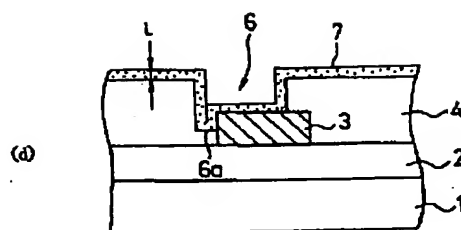


(5)

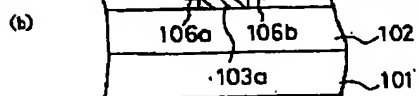
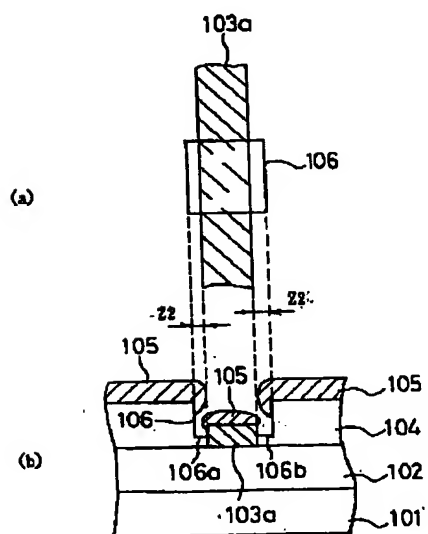
【圖 1】



【图2】

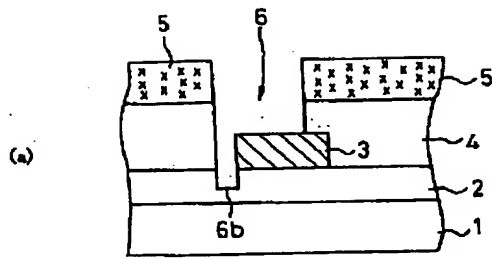


【図8】

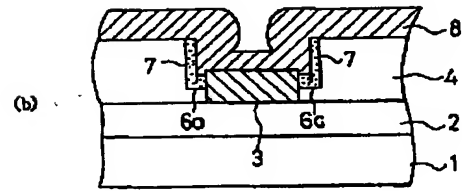
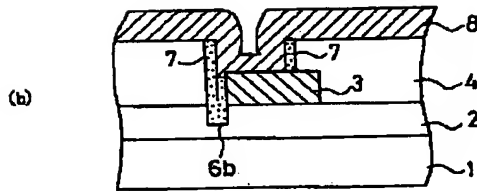
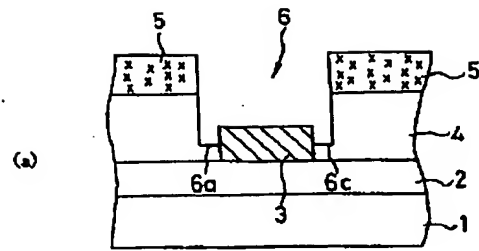


(6)

【図3】



【図4】



【図6】

